

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP11087629
Publication date: 1999-03-30
Inventor(s): KIJIRO KOICHI; YOSHIMARU MASAKI
Applicant(s): OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP11087629
Application Number: JP19970267778 19970912
Priority Number(s):
IPC Classification: H01L27/04; H01L21/822; H01L27/108; H01L21/8242
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To manufacture a semiconductor device comprising a capacitor- insulating film of dielectric constant 50 or higher.

SOLUTION: When such semiconductor device as a lower part electrode 3, a capacitor insulating film 4, and an upper part electrode 5 are laminated in this order on a semiconductor substrate is manufactured, at least a top layer of the lower part electrode 3 is constituted with a platinum group metal or conductive oxide of it. With Ta₂O₅ used for the capacitor-insulating film 4, heat treatment is performed on the lower part electrode 3 for the Ta₂O₅ to be oriented in (001) plane and (200) plane for crystallization. As a result, such capacitor insulating film 4 as of dielectric constant 50 or higher is obtained.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-87629

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.⁶

識別記号

F 1

H 0 1 L 27/04
21/822
27/108
21/8242

H 0 1 L 27/04
27/10

C
6 2 1 B

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21)出願番号 特願平9-267778

(22)出願日 平成9年(1997) 9月12日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 木城 耕一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 ▲百▼丸 正樹

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁護士 金本 哲男 (外2名)

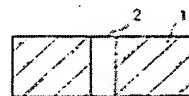
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

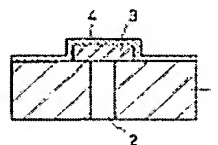
【課題】 50以上の大きな比誘電率を有するキャパシタ絶縁膜を備えた半導体装置を製造する。

【解決手段】 半導体基板上に、下部電極3、キャパシタ絶縁膜4、上部電極5の順に積層してなる半導体装置を製造するにあたり、下部電極3の少なくとも最上層を、白金族の金属、又は白金族の金属の導電性酸化物のいずれかで構成する。キャパシタ絶縁膜4にTa₂O₅を用い、下部電極3上で熱処理してTa₂O₅を(001)面や(200)面に配向させて結晶化させる。その結果、50以上の比誘電率を有するキャパシタ絶縁膜4が得られる。

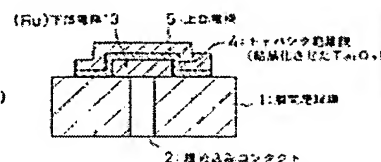
(a)



(b)



(c)



【特許請求の範囲】

【請求項 1】 半導体基板上に、下部電極、キャパシタ絶縁膜、上部電極を順次積層して半導体装置を製造する方法において、前記下部電極を、少なくとも最上層が白金族の金属、又は白金族の金属の導電性酸化物で構成し、さらに前記下部電極上に Ta_2O_5 を堆積させた後、この下部電極上で該 Ta_2O_5 を、比誘電率を高める特定結晶面に配向させるように、熱処理によって結晶化してキャパシタ絶縁膜を形成し、その後前記キャパシタ絶縁膜上に上部電極を積層することを特徴とする、半導体装置の製造方法。

【請求項 2】 前記下部電極が、白金族の金属上に、白金族の金属又は白金族の導電性酸化物が積層した構成であることを特徴とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記下部電極上に Ta_2O_5 を堆積する前に、熱処理によって前記下部電極の少なくとも最上層の配向性を高める工程を含むことを特徴とする、請求項 1 又は 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば DRAM のときキャパシタを備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高集積化や高密度化によって、DRAM 中のキャパシタ面積は小さくなってきている。キャパシタ面積の減少とともに容量も低下すると、ソフトエラーなどによるデバイスの誤動作を招きかねないため、キャパシタ面積が減少しても、十分な容量を確保しなければならない。この問題を解決する一つの方法として、高比誘電率を有する絶縁膜（高誘電体膜）をキャパシタ絶縁膜として用いる方法がある。ここで Ta_2O_5 は、従来一般にキャパシタ絶縁膜として用いられてきた SiO_2 や Si_3N_4 などに比べて3倍以上の大きな比誘電率をもち、また、CVD法によって容易にステップカバレッジの優れた薄膜を堆積することができるといった特徴がある。このため、次世代のDRAM キャパシタ絶縁膜として Ta_2O_5 が研究されてきた。このようにキャパシタ絶縁膜として Ta_2O_5 を用いる技術は、例えば特開平 4-349657 号に開示されている。

【0003】 一方、 Ta_2O_5 をCVD法で成膜して形成された絶縁膜は、原料や成膜法に起因する不純物や酸素欠損を多く含み、これらはリーク電流の原因となる。このため、 Ta_2O_5 成膜後にポストアニールを施すことでリーク特性を改善する方法が知られている。ところが、例えば $Poly-Si$ からなる下部電極上に成膜した Ta_2O_5 をポストアニールした場合は、 Ta_2O_5 と Si の界面に低誘電率の SiO_2 が形成され、キャパシタの容

量が低下してしまう。このため Ta_2O_5 と Si の界面に RTN (Rapid Thermal Nitridation) や CVD 法で成膜した薄いシリコン窒化膜をバリア層として挿入し、キャパシタを形成することが、例えば特開平 7-169917 号で提案されている。

【0004】 ここで図 13 は、 $Poly-Si$ からなる下部電極表面を RTN により窒化し、 Ta_2O_5 を成膜して形成する従来の半導体装置のキャパシタセルの構成を、プロセスフローに従って示している。この図 13 に沿って、従来のキャパシタの一例について具体的に説明する。

【0005】 まず、図 13 (a) に示すように半導体基板上に成膜された層間絶縁膜 100 (SiO_2) にコンタクト用のホールを開口し、埋め込みコンタクト 101 を形成する。次に図 13 (b) に示すように、埋め込みコンタクト 101 上に $Poly-Si$ からなる下部電極 102 を形成し、RTN により下部電極 102 の表面を窒化して SiN 薄膜 103 を形成する。さらに図 13 (c) に示すように、 Ta_2O_5 を膜厚 10 nm 程度に成膜してキャパシタ絶縁膜 104 を形成し、ポストアニールを行う。最後に図 13 (d) に示すように、上部電極 105 を堆積して、キャパシタセルを形成する。

【0006】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置のキャパシタに用いられるキャパシタ絶縁膜は、例えば 50 以上といったような大きな比誘電率を示すことはできない。その理由を、図 13 に示した従来のキャパシタセルによって具体的に説明する。図 14 は、図 13 に示した従来のキャパシタセルにおいて、ポストアニールにより結晶化させられた Ta_2O_5 の XRD 回折パターンを示す。 Ta_2O_5 結晶のピークが見られ、ピーク位置とピーク強度は ASTM カードの値とほぼ一致している。2θ が 23 度と 28 度付近に現れるピークが Ta_2O_5 のメインピークであり、それぞれのピーク強度を I1, I2 としたときの強度比 (I1/I2) が (001) 面と (200) 面への配向性を示す。この図 14 に示されるように、 SiN 上で結晶化した Ta_2O_5 の強度比 (I1/I2) は 0.5~1 程度であり、配向性は見られない。このような配向性の低い Ta_2O_5 結晶は、約 20~25 程度の比誘電率しか示さず、キャパシタの容量を更に大きくすることはできない。また、図 13 に示した従来のキャパシタセルは、 Ta_2O_5 より比誘電率の小さな SiN をバリア層として挿入するため、キャパシタの容量が更に低下してしまう。

【0007】 一方、このような比誘電率が約 20~25 程度の Ta_2O_5 を 256 MDRAM のキャパシタ絶縁膜に適用するには、3 次元的なキャパシタを形成して表面積を大きくすることが考えられる。しかしキャパシタ絶縁膜の薄膜化とキャパシタ形状の複雑化には限界があり、1 G 移行の DRAM キャパシタにはより高い比誘電

率をもつ誘電体膜の開発を行う必要がある。

【0008】本発明の目的は、例えば50以上といったような大きな比誘電率を示すことができるキャパシタ絶縁膜を備えた半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記した目的を達成するために、請求項1の発明によれば、半導体基板上に、下部電極、キャパシタ絶縁膜、上部電極を順次積層して半導体装置を製造する方法において、前記下部電極を、少なくとも最上層が白金族の金属、又は白金族の金属の導電性酸化物で構成し、さらに前記下部電極上に Ta_2O_5 を堆積した後、この下部電極上で該 Ta_2O_5 を、比誘電率を高める特定の結晶面に配向させるように、熱処理によって結晶化してキャパシタ絶縁膜を形成し、その後前記キャパシタ絶縁膜上に上部電極を積層することを特徴とする、半導体装置の製造方法が提供される。

【0010】ここで比誘電率を高める特定の結晶面とは、 Ta_2O_5 のXRD回折パターンの 2θ が、 23° 又は 28° 付近に現れるピークに配向した面であり、例えば(001)面や(200)面である。そして例えばこれら(001)面や(200)面に主配向させれば、本発明の所期の目的を達成することができる。

【0011】このように、最上層が白金族の金属、又は白金族の金属の導電性酸化物からなる下部電極上で Ta_2O_5 を堆積した後、この下部電極上で該 Ta_2O_5 を、比誘電率を高める特定面に配向させるように結晶化させると、後述の実施形態で示したように、 Ta_2O_5 の比誘電率は飛躍的に向上し、従来は20～25程度とされていた Ta_2O_5 の比誘電率を、その2倍以上に向上させることができた。なお Ta_2O_5 を結晶化する際の熱処理は、窒素やアルゴン雰囲気などの非酸化性雰囲気中で行うことが好ましい。

【0012】下部電極は、請求項2に記載したように、白金族の金属上に、さらに白金族の金属又は白金族の導電性酸化物が積層した構成であってもよい。

【0013】またこれらの各製造方法において、請求項3に記載したように、前記下部電極上に Ta_2O_5 を堆積する前に、熱処理によって前記下部電極の少なくとも最上層の配向性を高める工程を含むようにしてもよい。例えば、熱処理による下部電極の最上層の配向性を向上させ、その後 Ta_2O_5 を堆積させて、再び該 Ta_2O_5 を比誘電率を高める特定面に配向させるように、熱処理によって結晶化させるプロセスを連続して行うようにしてもよい。かかる方法によれば、実際のプロセスを効率よく実施することが可能になる。しかも、そのように下部電極上に Ta_2O_5 を堆積する前に、熱処理によって前記下部電極の少なくとも最上層の配向性を高めておけば、従来よりも低温で Ta_2O_5 の結晶化を進めることができ、後述の実施形態で示したように、 Ta_2O_5 の比誘電率を

さらに向上させることができる。なお請求項1～3の発明において、下部電極の最上層を構成している白金族の金属や白金族の金属の導電性酸化物と、基板との間に、予の結晶性を有するTiNやWNを積層させた下部電極を用いるようにしてもよい。

【0014】

【発明の実施の形態】図1は、本発明の第1の実施の形態にかかる半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。まず、図1(a)に示すように、半導体基板上に成膜された層間絶縁膜1(SiO_2)の所定の位置にコンタクト用のホールを開口し、埋め込みコンタクト2としてのポリシリコンを埋め込む。次に図1(b)に示すように、埋め込みコンタクト2上に例えばRu、Pt、Irなどといった白金族の金属もしくはそれら金属同士の合金からなる下部電極(ストレージノード)3を形成した後、 Ta_2O_5 を10nm程度堆積し、これに700℃以上のポストアニールを加えて Ta_2O_5 を結晶化させ、キャパシタ絶縁膜4を形成する。そして図1(c)に示すように、上部電極5を堆積し、キャパシタを形成する。

【0015】この第1の実施の形態によれば、下部電極3にRu、Pt、Irなどといった酸化されにくい比較的安定な金属を用いているので、キャパシタ絶縁膜4を700℃以上の高温でポストアニールした時に、キャパシタ絶縁膜4である Ta_2O_5 と下部電極3との反応を抑えることができる。また、ポストアニールによって Ta_2O_5 を下部電極3の結晶構造に配向して結晶化させることができる。

【0016】ここで、図2は、第1の実施の形態に従って製造されるキャパシタ絶縁膜4と同じ条件で、ポストアニールにより結晶化させた Ta_2O_5 のXRD回折パターンを示す。図2からわかるように、 Ta_2O_5 結晶のピークが見られ、ピーク位置とピーク強度はASTMカードの値とほぼ一致している。 2θ が 23° と 28° 付近に現れるピークが Ta_2O_5 のメインピークであり、各々のピーク強度をI1、I2としたときの強度比(I1/I2)が(001)面と(200)面への配向性を示す。この図2に示すように、例えばRu上にポストアニールによって結晶化させた Ta_2O_5 は(001)面に配向し、強度比(I1/I2)が10以上となる。また、Pt上で結晶化させた Ta_2O_5 は強度比(I1/I2)が0.1以下になる。これに対して、SiN上で結晶化した Ta_2O_5 の強度比(I1/I2)は0.5～1程度であり、配向性は見られない。同じ温度でポストアニールした場合、図3に示すように、(001)面や(200)面に大きく配向した Ta_2O_5 は、配向せずに結晶化した Ta_2O_5 よりも大きい、50以上の比誘電率をもつことがわかる。

【0017】この第1の実施の形態に従って製造される半導体装置は、キャパシタ絶縁膜4と下部電極3との界

面にSiNなどといった反応防止用の低誘電率の膜をはさむ必要がないので、キャパシタの容量が低下することもない。このように、第1の実施の形態に従って製造される半導体装置は、大きく配向したTa₂O₅結晶を用いることで大きな比誘電率を有するキャパシタ絶縁膜4を形成でき、小面積で大容量を持つ高誘電体キャパシタを実現することができる。

【0018】図4は、本発明の第2の実施の形態にかかる半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。先ず、図4(a)に示すように、層間絶縁膜11上の所定の位置に、埋め込みコンタクト12を設けるまでは第1の実施の形態と同様である。次に図4(b)に示すように、埋め込みコンタクト2上に例えばRuO₂などといった白金族の金属の導電性酸化物もしくは白金族の金属同士の合金の導電性酸化物からなる下部電極(ストレージノード)13を形成する。その後、図4(c)に示すように、Ta₂O₅を堆積し、前記第1の実施の形態と同様、700℃以上のポストアニールを加えてTa₂O₅を結晶化させ、キャパシタ絶縁膜14を形成する。更に、図4(d)に示すように、上部電極15を成膜し、キャパシタを形成する。

【0019】この第2の実施の形態によれば、下部電極13として例えばRuO₂などの導電性酸化物を用いている。このため、第1の実施の形態と同様に、700℃以上のポストアニールにより、キャパシタ絶縁膜14のTa₂O₅は下部電極13の結晶に配向し、Ta₂O₅は(001)面に配向して強度比(11/12)が10以上になる。このように高配向したTa₂O₅の結晶は50以上の比誘電率を示す。

【0020】これはPoly-SiやSiNなどのアモルファス上で配向せずにTa₂O₅が結晶化したときに比べて、2倍以上の大きな比誘電率になる。またRuO₂などは酸化物であるため、Ta₂O₅堆積後のポストアニールによってそれ以上酸化されることはない。更に、キャパシタ絶縁膜14と下部電極13の界面に誘電率の低いSiNをバリア層としてはさむ必要がないので、キャパシタの容量が低下することはない。RuO₂のほかにIrO₂などの結晶性の導電性酸化物を用いたときも同様の効果が期待できる。このように導電性酸化物からなる下部電極13上で高配向させたTa₂O₅結晶をキャパシタ絶縁膜14に用いることで、50以上の大きな比誘電率を有するキャパシタを形成でき、小面積で大容量を持つ高誘電体キャパシタを実現できる。

【0021】図5は、本発明の第3の実施の形態にかかる半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。先ず、図5(a)に示すように、層間絶縁膜21上の所定の位置に、埋め込みコンタクト22を設けるまでは第1の実施の形態と同様である。次に図5(b)に示すように、500オングストローム程度のRu₂3を堆積した後、Ru₂3上に更に

RuO₂24を積層することにより、埋め込みコンタクト22上にこれらRu₂3とRuO₂24を積層した構成の下部電極25(ストレージノード)を形成する。その後、図5(c)に示すように、Ta₂O₅を堆積し、前出各実施の形態と同様、700℃以上のポストアニールを加えてTa₂O₅を結晶化させ、キャパシタ絶縁膜26を形成する。その後図5(d)に示すように、上部電極27を成膜し、キャパシタを形成する。

【0022】この第3の実施の形態によれば、下部電極25としてRu₂3とRuO₂24の積層構造を用いている。下部電極25の表面はRuO₂24であり、ポストアニールにより結晶化するキャパシタ絶縁膜26のTa₂O₅は(001)面に配向し、強度比(11/12)が10以上になる。このため、第1、2の実施の形態と同様の効果がある。また、RuO₂24と層間絶縁膜21(Si基板表面)との界面にRu₂3を介在させることで、ポストアニールによるコンタクト界面の酸化を防止し、RuO₂24と層間絶縁膜21にかかるストレス(熱応力)を緩和することができる。これによりキャパシタ絶縁膜26のリーク電流を小さくすることができる。このように、下部電極25上で大きく配向したTa₂O₅結晶のキャパシタ絶縁膜26を用いることにより、50以上の大きな比誘電率を有するキャパシタを形成でき、リーク電流を低く抑えて、小面積で大容量を持つ高誘電体キャパシタを実現することができる。

【0023】図6は、本発明の第4の実施の形態にかかる半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。図6(a)に示すように、層間絶縁膜31上の所定の位置に、埋め込みコンタクト32を設けるまでは第1の実施の形態と同様である。次に図6(b)に示すように、層間絶縁膜31上に例えばRuなどといった白金族の金属33もしくは白金族の金属同士の合金33を堆積し、700℃程度で30秒ほど窒素やアルゴンなどの非酸化性雰囲気中でRTA(Rapid Thermal Annealing)などの熱処理を施す。

【0024】次に、例えばフォトリソ工程によって、図6(c)に示すように、埋め込みコンタクト32上に下部電極34(ストレージノード)を形成する。その後、図6(c)に示すように、Ta₂O₅を堆積し、550℃程度のポストアニールを加えてTa₂O₅を結晶化させ、キャパシタ絶縁膜35を形成する。更に、図6(d)に示すように、上部電極36を堆積し、キャパシタを形成する。

【0025】この第4の実施の形態によれば、下部電極34がRuなどといった白金族の金属やその合金にRTAを施して結晶性を向上させた構成になっている。非酸化性雰囲気中でRTAすることにより、Ruなどは成膜時より結晶性が向上し、図7に示すように(002)面に強く配向する。このようにRTA処理したRu上では

Ta₂O₅は成膜直後でも(001)面に配向した結晶性を示す。

【0026】そして、本実施形態によれば、前記した700℃より低い550℃程度の低温アニールで(001)配向したまま結晶化が進み、図8に示すように、その強度比(11/12)が100以上になる。いわば従来より低温プロセスによってある配向をもった結晶化をすることができる。この結晶性の向上に伴ってTa₂O₅の比誘電率も増加し、図9に示すように、3時間のアニール後には比誘電率が50以上になる。従って、この第4の実施の形態のように、結晶性を向上させた下部電極34上で配向したTa₂O₅結晶からなるキャパシタ絶縁膜35を形成することで、低温プロセスが可能で50以上の比誘電率を有する、小面積で大容量を持つ高誘電体キャパシタを実現する。また、先に説明した第2、3の実施の形態にも、この第4の実施の形態のように、予め下部電極の結晶性を向上させておくことによって、同様の効果が期待できる。

【0027】図10は、本発明の第5の実施の形態にかかる半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。図10(a)に示すように、層間絶縁膜41上の所定の位置に、埋め込みコンタクト42を設けるまでは第1の実施の形態と同様である。次に、図10(b)に示すように、Ti43を300オングストローム程度、TiN44を500オングストローム程度堆積した後、Ru45を堆積し、700℃程度で30秒ほど窒素またはアルゴン中などの非酸化性雰囲気中でRTAする。

【0028】その後、例えばフォトリソ工程により、図10(c)に示すように、埋め込みコンタクト42上に、これらTi43、TiN44、Ru45の積層した構成の下部電極46(ストレージノード)を形成する。その後、図10(c)に示すように、Ta₂O₅を堆積し、550℃程度のポストアニールを加えてTa₂O₅を結晶化させ、キャパシタ絶縁膜47を形成する。更に、図10(d)に示すように、上部電極48を成膜し、キャパシタを形成する。

【0029】この第5の実施の形態によれば、結晶配向したTiN44上にRu45を堆積し、更にRTAでRu45の結晶性を向上させている。このようなRu45上ではTa₂O₅は、図11に示すように、(200)面のピークが見られないほどに(001)面に強く配向し、前記実施の形態と同様、550℃程度の低温で結晶化が進む。この結晶性の向上とともにTa₂O₅の比誘電率は増加し、図12に示すように、3時間のアニール後には比誘電率が60以上になる。このように、結晶性を向上させた下部電極46にTa₂O₅を成膜することでキャパシタ絶縁膜47は大きな比誘電率を有し、かつ低温プロセスを可能にし、小面積で大きな容量を持つ高誘電体キャパシタを実現できる。また、先に説明した第2～

4の実施の形態にも、この第5の実施の形態のように、予め下部電極の結晶性を向上させておくことによって、同様の効果が期待できる。

【0030】DRAMキャパシタの誘電体膜として研究されているTa₂O₅は、これまで比誘電率は20～25程度と考えられていた。しかし、前記実施の形態で明らかのように、白金族の金属や合金又はそれらの金属酸化物上では、Ta₂O₅はRuなどの下地によって強く配向して結晶化し、50以上の大きな比誘電率を示すことが判明した。

【0031】なお、ポストアニール時にTa₂O₅と反応せず、結晶性をもつあらゆる下部電極上で結晶配向させたTa₂O₅をキャパシタ絶縁膜として用いた場合は、同様の効果が期待できる。以上の実施の形態では、(001)面と(200)面に配向したTa₂O₅について述べたが、配向する面方位に関係なく高配向させて結晶化させたTa₂O₅結晶は、高い比誘電率をもつことが期待できる。

【0032】

【発明の効果】本発明によれば、キャパシタ絶縁膜として用いたTa₂O₅の比誘電率を、従来の2倍の50以上の大きな値とすることができ、小面積で大容量のキャパシタを備えた高集積化や高密度化が可能な半導体装置を製造することができる。またとくに、請求項3によれば、Ta₂O₅を結晶化させるための熱処理が、従来よりも低温で実施することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に従って製造される半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。

【図2】第1の実施の形態に従って製造されるキャパシタ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅のXRD回折パターンを示すグラフである。

【図3】第1の実施の形態に従って製造されるキャパシタ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅の比誘電率を示すグラフである。

【図4】本発明の第2の実施の形態に従って製造される半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。

【図5】本発明の第3の実施の形態に従って製造される半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。

【図6】本発明の第4の実施の形態に従って製造される半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。

【図7】第4の実施の形態に従って製造されるキャパシタ絶縁膜と同じ条件で、RTAにより結晶化させたRuのXRD回折パターンを示すグラフである。

【図8】第4の実施の形態に従って製造されるキャパシ

タ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅のXRD回折パターンを示すグラフである。

【図9】第4の実施の形態に従って製造されるキャパシタ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅の比誘電率を示すグラフである。

【図10】本発明の第5の実施の形態に従って製造される半導体装置のキャパシタセルの構成を、プロセスフローに従って示した説明図である。

【図11】第5の実施の形態に従って製造されるキャパシタ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅の比誘電率を示すグラフである。

【図12】第5の実施の形態に従って製造されるキャパ

シタ絶縁膜と同じ条件で、ポストアニールにより結晶化させたTa₂O₅の比誘電率を示すグラフである。

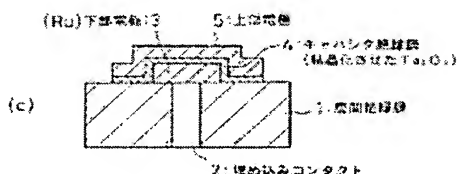
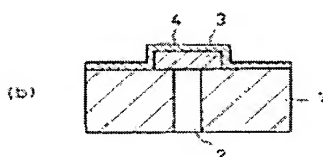
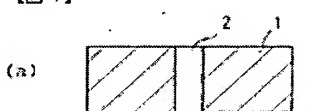
【図13】従来技術の説明図である。

【図14】従来のキャパシタセルにおいて、ポストアニールにより結晶化されたTa₂O₅のXRD回折パターンを示すグラフである。

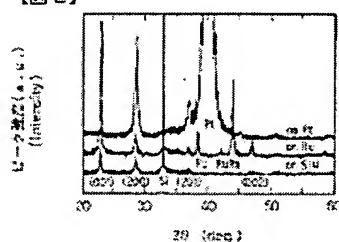
【符号の説明】

- 1 層間絶縁膜
- 2 埋め込みコンタクト
- 3 下部電極
- 4 キャパシタ絶縁膜
- 5 上部電極

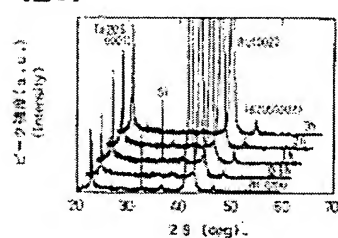
【図1】



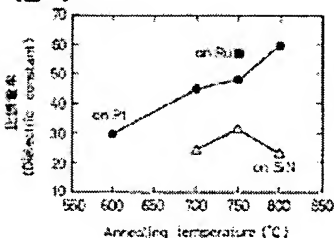
【図2】



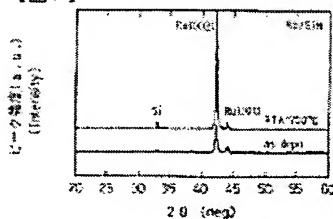
【図8】



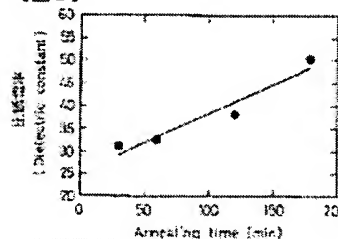
【図3】



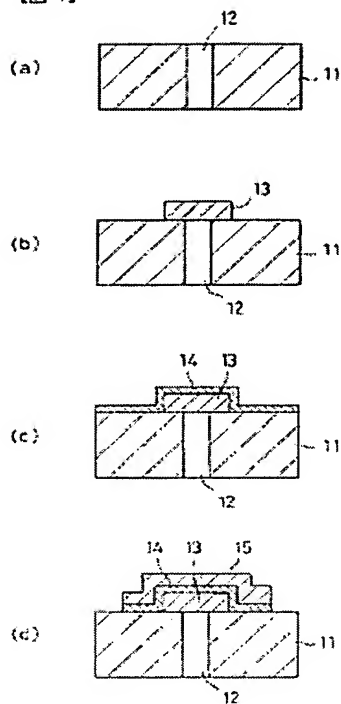
【図7】



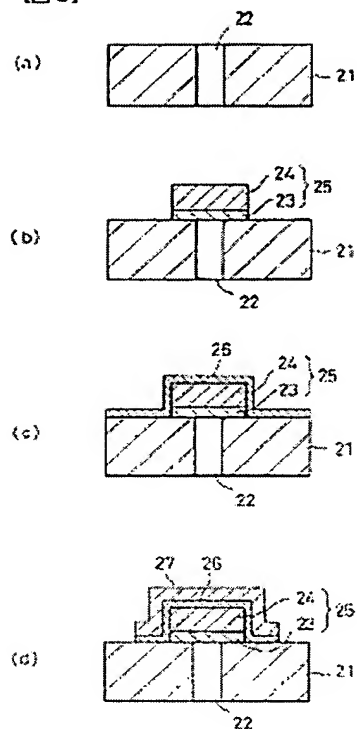
【図9】



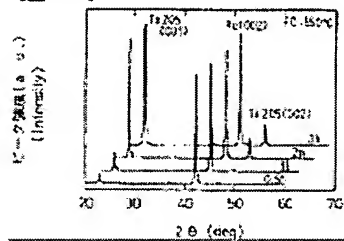
【図 4】



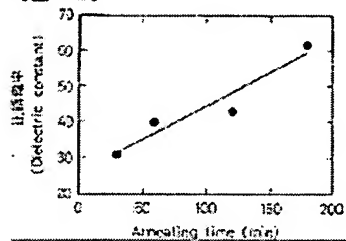
【図 5】



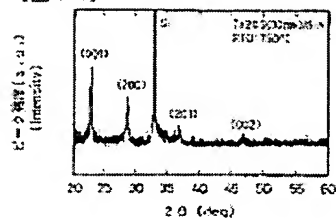
【図 11】



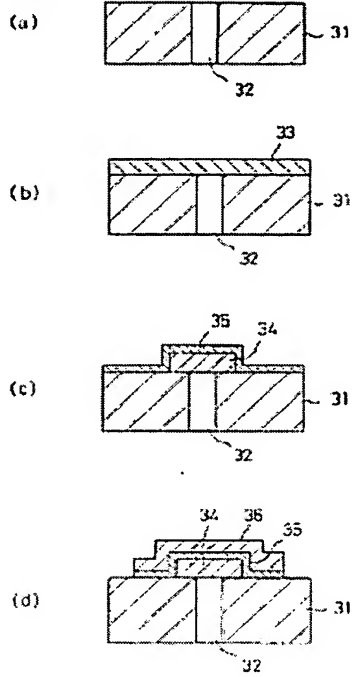
【図 12】



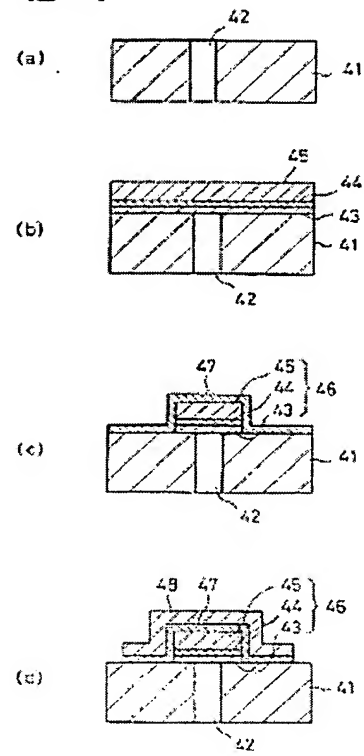
【図 14】



【図 6】



【図 10】



[圖 13]

